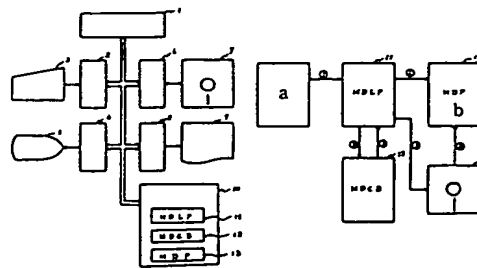


(54) CONTROL METHOD OF NON-RESIDENT PROGRAM

(11) 61-54548 (A) (43) 18.3.1986 (19) JP
 (21) Appl. No. 59-175745 (22) 23.8.1984
 (71) FUJITSU LTD (72) KAZUYA KOIKE(1)
 (51) Int. Cl. G06F12/12, G06F9/06

PURPOSE: To attain the effective use of a non-resident program and to minimize the loading frequency by securing a loading area exclusive for non-resident program at a main memory and performing priority control and LRU control.

CONSTITUTION: A main memory 10 contains a non-resident control program MDLP11, a module control information table MDCB12 and a module loading area MDP13. A program A calls out the MDLP11 and has a request for execution of a program B (module). The MDLP11 refers to the module control information stored in the MDCB12. A floppy disk 7 loads a program in case a designated loading area has no program B. When the loading area of the MDP13 is filled, the MDLP11 erases the programs which are not used for a long period and have lower priorities among those whose module call count value is equal to zero.



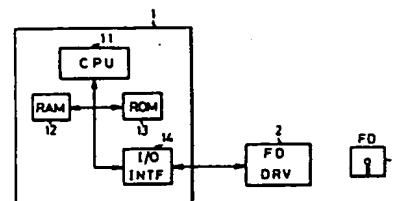
1: processor, 2: Keyboard control part, 3: keyboard, 5: display part, 6: floppy control part, 8: printer control part, a: program A, b: program B

(54) DISCRIMINATION METHOD FOR COMPUTER USING IDENTIFICATION NUMBER OF CENTRAL PROCESSING UNIT

(11) 61-54549 (A) (43) 18.3.1986 (19) JP
 (21) Appl. No. 59-175061 (22) 24.8.1984
 (71) FUJITSU LTD (72) TOSHIHARU KIDA
 (51) Int. Cl. G06F12/14, G06F9/06

PURPOSE: To prevent the improper use of a subject computer based on the optional production of a floppy disk and to protect software, by performing collation according to a CPU identification number between the subject computer and the memory information on the floppy disk.

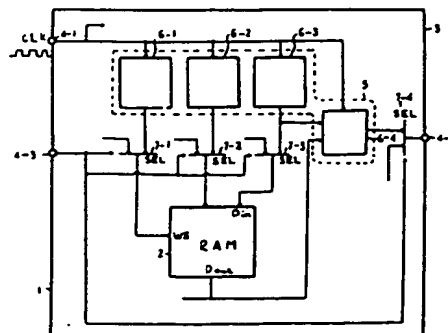
CONSTITUTION: A personal computer 1 is connected to a floppy disk drive part FD-DRV2 via an input/output interface I/O-INTF14. The computer 1 is actuated according to a program stored in a floppy disk FD3 applied to the FD-DRV2. The identification number stored in a ROM13 provided within the computer 1 is collated with the CPU identification number stored in the FD3.

**(54) INTEGRATION CIRCUIT DEVICE**

(11) 61-54550 (A) (43) 18.3.1986 (19) JP
 (21) Appl. No. 59-174892 (22) 24.8.1984
 (71) HITACHI LTD (72) SHIGEAKI TAMURA(1)
 (51) Int. Cl. G06F12/16, G06F11/22

PURPOSE: To simplify the test of a RAM by integrating the RAM and a logical circuit on a chip, connecting a self-test circuit of the RAM to the RAM via a connection switch circuit by the external designation of a test mode and outputting the test result to outside.

CONSTITUTION: A self-test circuit 5 supplies a write-enable signal, the address signal and the write data to a RAM2 and compares this write data with the read data of the RAM2. When the test mode signal is applied to an input terminal 4-3, selectors 7-1~7-3 switch the connection of the RAM2 to the circuit 5 from a logical circuit part 3. Then a test is carried out synchronously with the clock sent from an input terminal 4-1. The result of this test is outputted through an output terminal 4-2.



BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-54550

⑬ Int. Cl.⁴

G 06 F 12/16
11/22

識別記号

庁内整理番号

7737-5B
7368-5B

⑭ 公開 昭和61年(1986)3月18日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 集積回路装置

⑯ 特 願 昭59-174892

⑰ 出 願 昭59(1984)8月24日

⑱ 発 明 者 田 村 繁 明 寮野市堀山下1番地 株式会社日立製作所神奈川工場内
⑲ 発 明 者 山 田 信 生 寮野市堀山下1番地 株式会社日立製作所神奈川工場内
⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
㉑ 代 理 人 弁理士 高橋 明夫 外1名

明 細 書

1. 発明の名称

集積回路装置

2. 特許請求の範囲

(1) RAMと論理回路とがチップ上に集積された集積回路装置において、該RAMの自己テスト回路と、該RAMを該自己テスト回路または該論理回路と切替接続する接続切換回路とを該チップ上に形成し、外部からテストモードを指定された場合、該RAMは該接続切換回路により該自己テスト回路と接続されてテストされ、その結果が外部に送出されるようにして成ることを特徴とする集積回路装置。

3. 発明の詳細な説明

〔発明の利用分野〕

本発明は集積回路装置に関し、特に、同じチップ上に論理回路とRAMが搭載された集積回路装置に関する。

〔発明の背景〕

最近の集積度の飛躍的な向上により、単一チッ

プ上にRAMと論理回路と一緒に集積した集積回路装置が実現されるようになっている。第4図にそのような集積回路装置の一例を略示する。この図において、101はチップであり、102-1、102-2、102-3はメモリ、103は論理回路部である。ここで、メモリ102-1~102-3の何れかがRAMの場合、そのRAMのテストが必要なことが多い。しかし一般に、RAMは外部から論理的に見えないため、単体のRAMに比べテストは困難である。

従来のかかる集積回路装置の中には、RAMのテストを考慮し、テストモード端子を設け、それに信号を供給することにより、論理回路を活性化して入出端子からRAMを論理的に見えるようにしたものがある。この集積回路装置の場合、RAMテスト専用入力端子からコントロール信号(ライトイネーブル)、アドレス信号、ライトデータ等をRAMに与え、RAMからのリードデータをRAMテスト専用出力端子へ出力させることにより、RAMを比較的簡単にテストするこ

とかである。しかし、次のような問題点がある。
① 外部から見て、通常動作状態では論理的に閉じているRAMに専用の入力端子を多数設けるため、入出力端子が不足してピンネックに陥りやすい。

② RAMのテストを行うため、非常に高価なメモリ専用テスター、またはテストパターン（アドレス情報、ライトデータ、リードデータ等）を用いた論理テスターを必要とする。

〔発明の目的〕

本発明の目的は、RAMと論理回路を同一チップ上に集積した集積回路装置において、RAMのテストに関連した上記問題を改善することにある。

〔発明の概要〕

本発明は、RAMと論理回路とがチップ上に集積された集積回路装置において、該RAMの自己テスト回路と、該RAMを該自己テスト回路または該論理回路と切換接続する接続切換回路とを該チップ上に形成し、外部からテストモードを指定された場合、該RAMは該接続切換回路により該

自己テスト回路5は、機能的には、RAM2に対するコントロール信号（ライトイネーブル）を発生するコントロール信号発生器6-1、アドレス信号を発生するためのアドレス信号発生器6-2、ライトデータを発生するライトデータ発生器6-3、RAM2のリードデータとライトデータを比較する比較回路6-4から構成されている。

動作を説明する。入力端子4-3に信号が印加されない場合、通常モード状態で動作し、セレクタ7-1~7-3は論理回路部3を選択し、RAM2を論理回路部3と接続する。従って、RAM2のコントロール信号、アドレス信号およびライトデータは論理回路部3から供給される。また、セレクタ7-4は論理回路部3からの信号を出力端子4-2へ送出する。

入力端子4-3に固定信号（テストモード信号）が印加されると、テストモード状態となり、セレクタ7-1~7-3はRAM2を論理回路部3から論理的に切り離し、自己テスト回路5に接続する。従ってRAM2には、セレクタ7-1~7-3

特開昭61-54550(2)

自己テスト回路と接続されてテストされ、その結果が外部へ送出されるように構成し、該RAMのテストのための入出力端子を減らすとともに、テスターを用いずに該RAMをテストし得るようにしたことを特徴とするものである。

① 〔発明の実施例〕

以下、本発明の一実施例を図面を参照して説明する。

図1図は本発明の一実施例による集積回路装置の概略構成を示している。この集積回路装置1は、論理回路部3とRAM2から基本的な構成されているが、RAM2の自己テストを可能とするために、自己テスト回路5と、RAM2を論理回路部3または自己テスト回路5と切換接続するためのセレクタ7-1、7-2、7-3を備えている。また、RAM2のテスト結果を外部へ送出するためのセレクタ7-4も備えている。4-1はクロックの入力端子、4-2はテスト結果等を入力するための出力端子、4-3はテストモード信号の入力端子である。

を介して、自己テスト回路5よりコントロール信号（ライトイネーブル）、アドレス信号、ライトデータが供給されるようになる。また、セレクタ7-4は出力端子4-2を論理回路部3から論理的に切り離し、比較回路6-4の出力と接続する。

このテストモード状態において、入力端子4-1より自己テスト回路5にクロックを入力する。このクロックと同期して、自己テスト回路5からコントロール信号、アドレス信号、ライトデータが連続的にRAM2に供給され、ライトデータがRAM2に順次書き込まれる。この書き込み動作を終了すると、自己テスト回路5はコントロール信号を読み出しのレベルに固定し、アドレス信号とライトデータを連続的に発生する。RAM2の記憶データが順次読み出されるが、このリードデータはライトデータと比較回路6-4で逐次比較される。RAM2が正常ならば、リードデータとライトデータは一致するはずであるから、比較回路6-4の出力はRAM2の良否を示している。従って、出力端子4-2の信号から、RAM2の良否

を判別できる。

第2図に、上記自己テスト回路5の具体的な回路構成を例示する。なお、図の煩雑さを避けるために、第1図のセレクター7-1~7-4は省略されている。

この図において、インバータ回路8-1、8-2と、NAND回路9-1、およびOR回路13は、コントロール信号発生器6-1を構成している。入力端子4-1から入力されるクロックは、NAND回路9-1の一方の入力に直接与えられ、その他方の入力にはインバータ回路8-1、8-2により遅延されてから印加される。

10は $(n+1)$ ビットのカウンターであり、アドレス信号発生器6-2およびライトデータ発生器6-3を構成している。このカウンター10の下位 n ビットの出力はアドレス信号として、また最下位ビット出力はライトデータとして用いられる。カウンター10の最上位ビット出力は、書き込動作期間と読出動作期間の切換制御信号としてOR回路13に与えられている。ここで、RAM

る。カウンター10の最上位ビットが“0”の間は、コントロール信号発生器6-1から第3図に示されるようなコントロール信号（ライトイネーブル）WEが発生する。従って、RAM2の各ビットに“0”と“1”のライトデータが交互に書き込まれていく。

RAM2の全ビットにライトデータが書き込まれると、カウンター10の最上位ビット出力が“1”状態に反転するため、コントロール信号WEは“1”状態に固定し、RAM2の記憶データが1ビットずつ順次読み出され、ラッチ回路11-2に保持される。同時に、対応ビットのライトデータがラッチ回路11-1に保持され、それとリードデータとがEX-OR回路12で比較される。リードデータのあるビットとライトデータの対応ビットが一致する場合、つまりそのビットが正常な場合、テスト結果信号Pass/Failは“1”状態になる。第3図においては、2nd番地のビットが不良であることを示している。

なお、コントロール信号WEおよびストローブ

回路図61-54550(3)

このメモリアイズは2ndビットであり、

テスト回路5において、11-1と11-2はそれぞれライトデータとリードデータを一時的に保持するためのラッチ回路である。13はライトデータとリードデータの一致を判定するためのEX-OR回路である。インバータ回路8-3、8-4、8-5と、NAND回路9-2は、クロックからラッチ回路11-1、11-2のためのストローブ信号を作るための回路を構成している。

以下、自己テスト回路5の動作を説明するが、その理解を容易にするため、該自己テスト回路5のタイムチャートを第3図に示す。なお、第3図において、CLKはクロック、2nd~2⁹はカウンター10の各ビットの出力、Dinはライトデータ、Doutはリードデータ、WEはコントロール信号（ライトイネーブル）、STBはラッチ回路11-1、11-2に対するストローブ信号、Pass/Failは比較回路6-4の出力である。

テストモード状態において、クロックが入力されると、カウンター10が順次カウントアップす

信号STBの発生時間を工夫すれば、回路の構成でRAM2の交流特性（セットアップタイム、ホールドタイム、アクセスタイム等）のテストも兼ね得ることは明らかである。

以上、一実施例について説明したが、本発明はそれだけに限定されるものではなく、種々変形して実施例できるものである。

例えば、上記実施例はメモリがRAM一つだけの例であるが、RAM以外のメモリを搭載している集積回路装置にも同様に本発明を適用できる。

RAMが二つ以上搭載された集積回路装置についても同様に適用できる。この場合、各RAM毎に自己テスト回路を設けてもよいし、あるいは一つの自己テスト回路ですべてのRAMのテストを行わせるように構成してもよい。

RAMのテストに関係する入、出力端子は本数が少ないので、RAMのテスト専用にしても従来のようなピンネックの心配は殆どない。しかし、それらを通常論理の入、出力端子あるいは論理計所用の入、出力端子と兼用させることも容易であ

り、一般のテストばかりではなく、エージングにも利用できる。

(発明の効果)

以上の説明から明らかなように、本発明によれば次のごとき効果を得られる。

(i) RAMテスト専用の入、出力端子は多く見ても3本で済むため、ピンネックが緩和される。

(ii) メモリ専用テスターや論理テスターを用いることなく、RAMのテストが可能であるため、RAMテストの費用を削減できる。

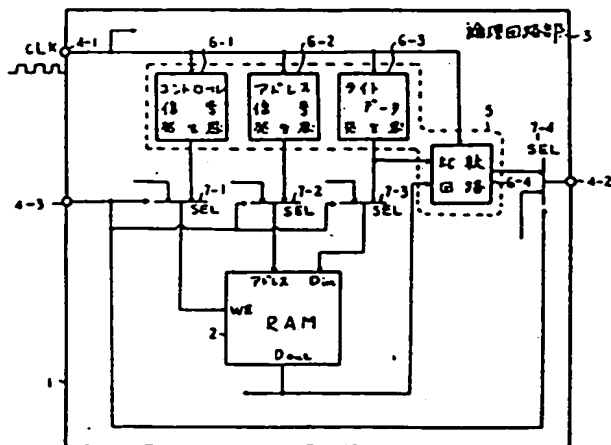
(iii) チップ内部でRAMの自己テストがなされるため、テスト時間を短縮できる。

4. 図面の簡単な説明

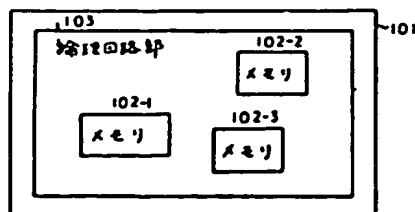
第1図は本発明の一実施例による集積回路装置の概略ブロック図、第2図は自己テスト回路の具体的回路構成の一例を示すブロック図、第3図は第2図に示す自己テスト回路の動作を示すタイムチャート、第4図はメモリと論理回路を搭載した集積回路の一例を説明するための模式図である。

1…集積回路装置、2…RAM、3…論理

第1図



第4図



回路部、 4-1~4-3…RAMテストに用

意する入、出力端子、 5…自己テスト回路、

6-1…コントロール信号発生器、

6-2…アドレス信号発生器、 6-3…ライ

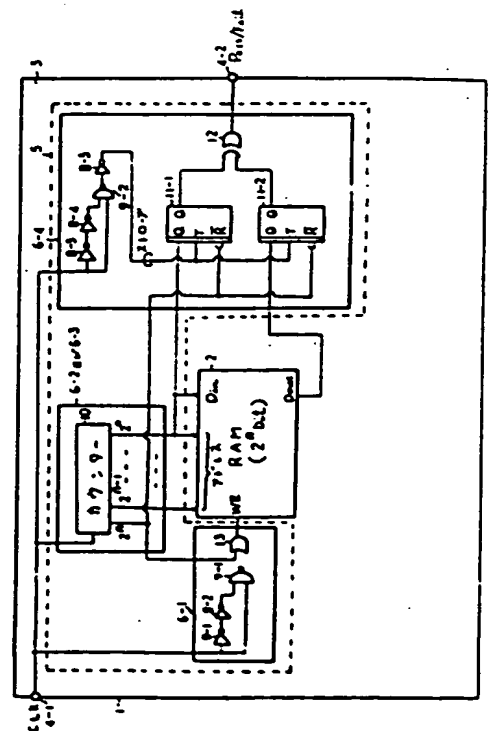
トデータ発生器、 6-4…比較回路、

7-1~7-4…セレクター、

代理人弁理士 高橋明夫



第2図



第 3 図

